

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Jae-Bon KOO, et al.

Art Unit: TBD

Appl. No.: To Be Assigned

Examiner: TBD

Filed: Concurrently Herewith

Atty. Docket: 6161.0113.US

For: **FLAT PANEL DISPLAY WITH THIN FILM
TRANSISTOR**

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

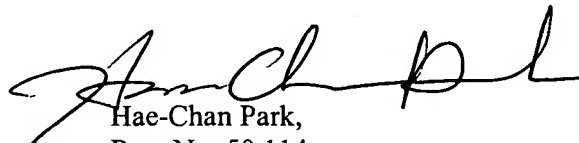
Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	10-2003-000020738	April 2, 2003

A certified copy of Korean Patent Application No. 10-2003-0020738 is enclosed.

Prompt acknowledgment of this claim is respectfully requested.

Respectfully submitted,


Hae-Chan Park,
Reg. No. 50,114

Date: November 19, 2003
McGuireWoods LLP
1750 Tysons Boulevard, Suite 1800
McLean, VA 22102
Telephone No. 703-712-5365
Facsimile No. 703-712-5280



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0020738
Application Number

출원 년 월 일 : 2003년 04월 02일
Date of Application APR 02, 2003

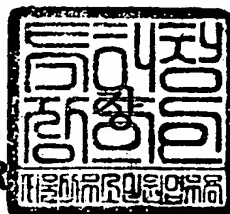
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 07 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.04.02
【국제특허분류】	H01L
【발명의 명칭】	박막 트랜지스터를 구비한 평판표시장치
【발명의 영문명칭】	Flat panel display with TFT
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050326-4
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-004535-8
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	K00, Jae Bon
【주민등록번호】	720706-1767718
【우편번호】	449-745
【주소】	경기도 용인시 수지읍 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK, Ji Yong
【주민등록번호】	700331-1823311

【우편번호】	442-813
【주소】	경기도 수원시 팔달구 영통동 993-5 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	이을호
【성명의 영문표기】	LEE,UI Ho
【주민등록번호】	720614-1575710
【우편번호】	449-906
【주소】	경기도 용인시 기흥읍 서천리 157-1
【국적】	KR
【발명자】	
【성명의 국문표기】	김진수
【성명의 영문표기】	KIM,Jin Soo
【주민등록번호】	690405-1052526
【우편번호】	449-907
【주소】	경기도 용인시 기흥읍 신갈리 165 현대아파트 201동 602호
【국적】	KR
【발명자】	
【성명의 국문표기】	정진웅
【성명의 영문표기】	JUNG,Jin Woung
【주민등록번호】	730402-2221727
【우편번호】	442-726
【주소】	경기도 수원시 팔달구 영통동 벽적골9단지 909동 1504호
【국적】	KR
【발명자】	
【성명의 국문표기】	이창규
【성명의 영문표기】	LEE,Chang Gyu
【주민등록번호】	751031-1074423
【우편번호】	135-884
【주소】	서울특별시 강남구 수서동 한아름아파트 101동 1302호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

이해영 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 20 면 20,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 20 항 749,000 원

【합계】 798,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 TFT의 활성층의 크기를 변경하지 않고, 동일 구동전압을 가한 상태에서도 구동 TFT의 온 커런트를 낮추며, 스위칭 TFT의 높은 특성은 그대로 유지함과 동시에, 구동 TFT에 의한 휘도 균일도를 만족시키며, 발광 소자의 수명을 단축시키지 않도록 하기 위한 것으로, 발광 소자와, 적어도 채널 영역을 갖는 반도체 활성층을 구비하고, 상기 발광 소자에 데이터 신호를 전달하기 위한 스위칭 박막 트랜지스터와, 적어도 채널 영역을 갖는 반도체 활성층을 구비하고, 상기 데이터신호에 따라서 상기 발광 소자에 소정의 전류가 흐르도록 상기 발광 소자를 구동하는 구동 박막 트랜지스터를 포함하며, 적어도 상기 스위칭 박막 트랜지스터의 채널 영역과 구동 박막 트랜지스터의 채널 영역은 그 결정립의 모양 및 크기가 서로 다르게 구비된 것을 특징으로 하는 평판표시장치에 관한 것이다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

박막 트랜지스터를 구비한 평판표시장치{Flat panel display with TFT}

【도면의 간단한 설명】

도 1은 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 표시장치의 박막 트랜지스터 활성층 구조를 설명하기 위한 평면도,

도 2는 박막 트랜지스터의 활성층을 이루는 다결정질 실리콘 박막의 서로 그 모양을 달리하는 결정 구조를 나타내는 평면도,

도 3은 채널 영역의 길이방향에 대한 제 1 결정입계의 각도와 채널 영역에서의 전류 이동도와의 관계를 나타내는 그래프,

도 4는 도 2의 결정구조에 TFT를 형성하였을 경우 각 활성층들의 전류 이동도비를 나타내는 그래프,

도 5는 제 1 결정구조에 제 1 활성층을 형성하고, 제 2 결정구조에 제 2 활성층을 형성한 상태를 나타내는 평면도,

도 6은 제 1 결정구조에 제 1 활성층을 형성하고, 제 3 결정구조에 제 2 활성층을 형성한 상태를 나타내는 평면도,

도 7은 제 2 결정구조에 제 1 활성층을 형성하고, 제 3 결정구조에 제 2 활성층을 형성한 상태를 나타내는 평면도,

도 8은 서로 크기를 달리하는 다결정질 실리콘 박막에 제 1 활성층과, 제 2 활성층을 형성한 상태를 나타내는 평면도,

도 9는 ELA결정화법에 있어, 에너지 밀도와 결정립의 크기와의 관계를 나타내는 그래프,

도 10은 결정립의 크기와 전류 이동도의 관계를 나타내는 그래프,

도 11은 도 1에서 어느 하나의 부화소를 나타내는 부분 확대 평면도,

도 12는 도 11의 단위화소에 대한 등가회로도,

도 13은 도 11의 IV-IV에 대한 단면도,

도 14는 도 11의 V-V에 대한 단면도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 박막 트랜지스터를 구비한 액티브 매트릭스형 평판표시장치에 관한 것으로, 보다 상세하게는 다결정질 실리콘을 활성층으로 구비하고, 스위칭 박막 트랜지스터와 구동 박막 트랜지스터의 활성층 채널영역의 결정구조를 달리한 박막 트랜지스터를 구비한 평판 표시장치에 관한 것이다.

<16> 액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판 표시장치에 사용되는 박막 트랜지스터(Thin Film Transistor: TFT)는 각 화소의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다.

<17> 이러한 박막 트랜지스터는 기판 상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 상기 드레인 영역과 소스 영역의 사이에 형성된 채널 영역을 갖는

반도체 활성층을 가지며, 이 반도체 활성층 상에 형성된 게이트 절연막 및 활성층의 채널영역 상부의 게이트 절연막 상에 형성된 게이트 전극으로 구성되는 데, 상기 반도체 활성층은 실리콘의 결정 상태에 따라 비정질 실리콘과 다결정질 실리콘으로 구분된다.

<18> 비정질 실리콘을 이용한 박막 트랜지스터는 저온 증착이 가능하다는 장점이 있으나, 전기적 특성과 신뢰성이 저하되고, 표시장치의 대면적화가 어려워 최근에는 다결정질 실리콘을 많이 사용하고 있다. 다결정질 실리콘은 수십 내지 수백 $\text{cm}^2/\text{V.s}$ 의 높은 이동도를 갖고, 고주파 동작 특성 및 누설 전류치가 낮아 고정세 및 대면적의 평판표시장치에 사용하기에 매우 적합하다.

<19> 한편, 상기와 같은 박막 트랜지스터는 전술한 바와 같이, 평판 표시장치에 있어 스위칭 소자나 화소의 구동소자로 사용되는 데, 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형 유기 전계 발광 표시장치는 각 부화소당 적어도 2개의 박막 트랜지스터(이하, "TFT"라 함)를 구비한다.

<20> 상기 유기 전계 발광 소자는 애노우드 전극과 캐소우드 전극의 사이에 유기물로 이루어진 발광층을 갖는다. 이 유기 전계 발광 소자는 이들 전극들에 양극 및 음극 전압이 각각 인가됨에 따라 애노우드 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 캐소우드 전극으로부터 전자 수송층을 경유하여 발광층으로 주입되어, 이 발광층에서 전자와 홀이 재결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기상태에서 기저상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상을 형성한다. 풀컬러 유기 전계 발광 표시장치의 경우에는 상기 유기 전계 발광 소자로서 적(R), 녹(G), 청(B)의 삼색을 발광하는 화소를 구비토록 함으로써 풀컬러를 구현한다.

- <21> 이러한 액티브 매트릭스형 유기 전계 발광 표시장치(AMOLED)에 있어서, 점차 고해상도 패널이 요구되고 있는데, 이 때는 전술한 바와 같은 고성능의 다결정질 실리콘으로 형성한 박막 트랜지스터가 오히려 문제를 야기시키게 된다.
- <22> 즉, 종래의 액티브 매트릭스형 유기 전계 발광 표시장치 등 액티브 매트릭스형 평판표시장치에서는 동일한 다결정질 실리콘으로 스위칭 박막 트랜지스터와 구동 박막 트랜지스터가 제조되어 구동 박막 트랜지스터와 스위칭 박막 트랜지스터가 동일한 전류 이동도를 가지므로, 스위칭 박막 트랜지스터의 스위칭 특성과 구동 박막 트랜지스터의 저전류 구동특성을 동시에 만족할 수 없었다. 즉, 고해상도 표시소자의 구동 박막 트랜지스터와 스위칭 박막 트랜지스터를 전류 이동도가 큰 다결정질 실리콘막을 이용하여 제조하는 경우에는 스위칭 박막 트랜지스터의 높은 스위칭 특성은 얻을 수는 있지만, 구동 박막 트랜지스터를 통해 EL소자로 흐르는 전류량이 증가하여 휘도가 지나치게 높아지게 되고, 결국 단위면적당 전류밀도가 높아져서 EL소자의 수명이 감소하게 되는 것이다.
- <23> 한편, 전류 이동도가 낮은 비정질 실리콘막 등을 이용하여 표시소자의 스위칭 트랜지스터와 구동 트랜지스터를 제조하는 경우에는, 구동 트랜지스터는 전류가 감소되는 방향으로, 스위칭 트랜지스터는 전류가 증가되는 방향으로 박막 트랜지스터를 제조해야 한다.
- <24> 이러한 문제점을 해결하기 위하여, 구동 트랜지스터를 통해 흐르는 전류량을 제한하는 방법이 제안되었다. 그 방법으로는 구동 트랜지스터의 폭에 대한 길이의 비(W/L)를 감소시켜 채널영역의 저항을 증가시키는 방법, 또는 구동 트랜지스터의 소오스/드레인 영역에 저도핑영역을 형성하여 저항을 증가시키는 방법 등이 있었다.

<25> 그러나, 길이를 증가시켜 W/L을 감소시키는 방법은 채널영역의 길이가 길어져서 엑시머 레이저 어닐링(ELA: Excimer Laser Annealing)방법 등을 이용하여 결정화할 때 채널영역에 줄무늬가 형성되고, 개구면적이 감소하는 문제점이 있었다. 폭을 감소시켜 W/L을 감소시키는 방법은 포토리소그래피 공정의 디자인 룰에 제약을 받으며, 트랜지스터의 신뢰성을 확보하기 어려운 문제점이 있었다.

<26> 또한, 저도핑영역을 형성하여 저항을 증가시키는 방법은 추가의 도핑공정이 수행되어야 하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, TFT의 활성층의 크기를 변경하지 않고, 동일 구동전압을 가한 상태에서도 구동 TFT의 온 커런트를 낮출 수 있는 평판표시장치를 제공하는 데 목적이 있다.

<28> 본 발명의 다른 목적은 스위칭 TFT의 높은 특성은 그대로 유지하고, 구동 TFT에 의한 휘도 균일도를 만족시키며, 발광 소자의 수명을 단축시키지 않는 평판표시장치를 제공하는 것이다.

【발명의 구성 및 작용】

<29> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 발광 소자와, 적어도 채널 영역을 갖는 반도체 활성층을 구비하고, 상기 발광 소자에 데이터 신호를 전달하기 위한 스위칭 박막 트랜지스터와, 적어도 채널 영역을 갖는 반도체 활성층을 구비하고, 상기 데이터신호에 따라서 상기 발광 소자에 소정의 전류가 흐르도록 상기 발광 소자를 구동하는 구동 박막 트랜지스터를 포함하며, 적어도 상기 스위칭 박막 트랜지스터의 채널 영

역과 구동 박막 트랜지스터의 채널 영역은 그 결정립의 형상이 서로 다르게 구비된 것을 특징으로 하는 평판표시장치를 제공한다.

<30> 본 발명의 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 형상에 의해 상기 스위칭 박막 트랜지스터와 구동 박막 트랜지스터의 각 채널 영역의 전류 이동도가 서로 다르게 될 수 있다.

<31> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 형상에 의해 상기 스위칭 박막 트랜지스터의 채널 영역의 전류 이동도가 상기 구동 박막 트랜지스터의 채널 영역의 전류 이동도보다 크게 될 수 있다.

<32> 본 발명의 또 다른 특징에 의하면, 상기 스위칭 박막 트랜지스터의 적어도 채널 영역과 상기 구동 박막 트랜지스터의 적어도 채널 영역은 그 결정립의 크기가 서로 다를 수 있다.

<33> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 크기에 의해 상기 스위칭 박막 트랜지스터의 채널 영역의 전류 이동도가 상기 구동 박막 트랜지스터의 채널 영역의 전류 이동도보다 크게 될 수 있다.

<34> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 크기는 상기 스위칭 박막 트랜지스터와 구동 박막 트랜지스터 중 보다 큰 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 결정립의 크기가 더 크게 되도록 구비될 수 있다.

- <35> 본 발명의 또 다른 특징에 의하면, 상기 스위칭 박막 트랜지스터의 채널 영역의 결정립의 크기가 상기 구동 박막 트랜지스터의 채널 영역의 결정립의 크기보다 클 수 있다.
- <36> 본 발명의 또 다른 특징에 의하면, 상기 스위칭 박막 트랜지스터의 적어도 채널 영역과 상기 구동 박막 트랜지스터의 적어도 채널 영역은 그 결정립의 모양이 서로 다를 수 있다.
- <37> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 모양은 상기 스위칭 박막 트랜지스터와 구동 박막 트랜지스터 중 보다 낮은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역이 무정형의 결정입계를 갖도록 구비될 수 있다.
- <38> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 모양은 상기 무정형의 결정입계를 갖는 박막 트랜지스터보다 높은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 결정립이, 서로 평행하게 배열된 제1결정입계와, 상기 제1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이거나, 사각형상이 되도록 결정될 수 있다.
- <39> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 모양은 상기 스위칭 박막 트랜지스터와 구동 박막 트랜지스터 중 보다 높은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 결정립이, 서로 평행하게 배열된 제1결정입계와, 상기 제1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이 되도록 결정될 수 있다.

- <40> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 모양은 상기 스트라이프형의 제1결정입계를 갖는 박막 트랜지스터보다 낮은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역이 무정형 또는 그 제1결정입계가 사각형상인 결정입계를 갖도록 결정될 수 있다.
- <41> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 모양은 상기 스위칭 박막 트랜지스터와 구동 박막 트랜지스터 중 보다 높은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 결정립이, 서로 평행하게 배열된 제1결정입계와, 상기 제1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 사각형상이 되도록 결정될 수 있다.
- <42> 본 발명의 또 다른 특징에 의하면, 상기 구동 박막 트랜지스터의 적어도 채널 영역의 결정립은 무정형의 결정입계를 가질 수 있다.
- <43> 본 발명의 또 다른 특징에 의하면, 상기 스위칭 박막 트랜지스터의 적어도 채널 영역의 결정립은, 서로 평행하게 배열된 제1결정입계와, 상기 제1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이거나, 사각형상인 결정입계를 가질 수 있다.
- <44> 본 발명의 또 다른 특징에 의하면, 상기 스위칭 박막 트랜지스터의 적어도 채널 영역의 결정립은, 서로 평행하게 배열된 제1결정입계와, 상기 제1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상인 결정입계를 가질 수 있다.

- <45> 본 발명의 또 다른 특징에 의하면, 상기 구동 박막 트랜지스터의 적어도 채널 영역의 결정립은, 무정형 또는 그 제1결정입계가 사각형상인 결정입계를 가질 수 있다.
- <46> 본 발명의 또 다른 특징에 의하면, 상기 스위칭 박막 트랜지스터의 적어도 채널 영역의 결정립은, 서로 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 사각형상인 결정입계를 가질 수 있다.
- <47> 이러한 본 발명의 또 다른 특징에 의하면, 상기 활성층의 적어도 채널영역은 다결정질 실리콘으로 구비될 수 있고, 상기 다결정질 실리콘은 레이저에 의한 결정화방법에 의해 형성될 수 있다.
- <48> 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예에 대하여 보다 상세히 설명한다.
- <49> 도 1은 본 발명에 따른 평판표시장치 중 그 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 표시장치의 박막 트랜지스터 활성층 구조를 설명하기 위한 평면도이다. 도 1에서 볼 때, 상기 유기 전계 발광 표시장치의 각 화소들은 적색(R), 녹색(G) 및 청색(B)의 부화소들이 종방향(도 1에서 상하방향)으로 반복하여 배치되도록 구비되어 있다. 그러나, 이러한 화소들의 구성은 반드시 이에 한정되는 것은 아니며, 각 색상의 부화소들이 모자이크, 격자상 등 다양한 패턴으로 배열되어 화소를 구성할 수 있으며, 도 1에서 볼 수 있는 풀 칼라 평판표시장치가 아닌 모노 칼라 평판표시장치여도 무방하다.

- <50> 이러한 유기 전계 발광 표시장치는 복수개의 게이트 라인(51)이 횡방향(도 1에서 좌우방향)으로 배설되고, 복수개의 데이터 라인(52)이 종방향으로 배설되어 있다. 그리고, 구동전압(Vdd)을 공급하기 위한 구동 라인(53)이 역시 종방향으로 배설되어 있다. 이들 게이트 라인(51), 데이터 라인(52) 및 구동 라인(53)은 하나의 부화소를 둘러싸도록 구비된다.
- <51> 한편, 상기와 같은 구성에 있어서, 적색(R), 녹색(G) 및 청색(B) 화소들의 부화소들은 각각 스위칭 박막 트랜지스터(이하, "스위칭 TFT"라 함)와, 구동 박막 트랜지스터(이하, "구동 TFT"라 함)의 적어도 두 개의 박막 트랜지스터를 구비하는 데, 상기 스위칭 TFT(10)는 게이트 라인(51)의 신호에 따라 발광 소자에 데이터 신호를 전달하여 그 동작을 제어하고, 상기 구동 TFT(20)는 상기 데이터 신호에 따라 상기 발광 소자에 소정의 전류가 흐르도록 상기 발광 소자를 구동한다. 물론 이러한 스위칭 TFT와 구동 TFT 등 박막 트랜지스터의 수와 배치는 디스플레이의 특성 및 구동 방법 등에 따라 다양한 수가 존재할 수 있으며, 그 배치 방법도 다양하게 존재할 수 있음은 물론이다.
- <52> 이들 스위칭 TFT(10) 및 구동 TFT(20)는 각각 반도체 활성층인 제 1 활성층(11) 및 제 2 활성층(21)을 갖는 데, 이들 활성층들은 비록 도면에 나타내지는 않았지만 각각 후술하는 바와 같은 채널 영역을 갖는다. 상기 채널 영역은 길이방향으로 형성된 제 1 활성층(11) 및 제 2 활성층(21)의 대략 중앙부에 위치한 영역으로, 그 상부를 통해 게이트 전극이 절연되어 형성된 영역에 해당한다.
- <53> 도 1에서 볼 수 있는 바와 같이, 상기 적(R), 녹(G), 청(B)색의 화소를 이루는 부화소들에서, 상기 스위칭 TFT(10)를 이루는 제 1 활성층(11)들과 상기 구동 TFT(20)를 이루는 제 2 활성층(21)들은 그 결정립의 형상이 서로 다르게 구비되도록 형성될 수 있

다. 이들 제 1 활성층(11)과 제 2 활성층(21)은 도 1에서 볼 수 있는 것처럼 적(R), 녹(G), 청(B)색의 화소에 상관없이 모두 공통되게 형성할 수도 있으나, 이와는 달리, 비록 도면으로 나타내지는 않았지만 구동 TFT(20)를 이루는 제 2 활성층(21)들이 각 색상별로 다른 형상을 갖도록 함으로써 화이트 밸런스를 맞출 수 있음은 물론이다.

<54> 한편, 본 발명의 바람직한 일 실시예에 따르면, 상기 제 1 활성층(11) 및 제 2 활성층(21)은 다결정질 실리콘 박막에 의해 형성될 수 있다. 그리고, 이러한 다결정질 실리콘 박막으로 형성된 제 1 활성층(11)과 제 2 활성층(21)은 전술한 바와 같이, 그 결정립이 서로 다른 형상을 갖도록 할 수 있다. 도 1에서 볼 수 있는 바와 같은 본 발명의 바람직한 일 실시예에서는, 적어도 상기 제 1 활성층(11)과 상기 제 2 활성층(21)의 결정립의 모양이 서로 다르게 구비되도록 할 수 있는 데, 이 때, 이 제 1 활성층(11) 및 제 2 활성층(21) 중 그 중앙부분인 채널 영역의 결정립이 이렇게 서로 다른 모양을 갖도록 하면 충분하나, 구조 설계의 복잡성으로 인하여 제 1, 2 활성층 전체의 결정립의 모양이 서로 다르게 되도록 하였다.

<55> 본 발명의 바람직한 일 실시예에 의하면, 이처럼 스위칭 TFT(10)의 제 1 활성층(11)과, 구동 TFT(20)의 제 2 활성층(21)의 채널 영역의 결정립의 모양이 서로 다르게 되도록 함에 따라 활성층의 크기를 동일하게 하면서도 구동 TFT로부터 발광 소자에 전달되는 전류량을 감소시켜 고해상도를 실현할 수 있다. 이하에서는 이러한 원리를 보다 상세히 설명한다.

<56> 전술한 바와 같이, 유기 전계 발광표시장치에 있어서, 고해상도, 특히, 소형 고해상도에 적합한 TFT를 형성하기 위해서는 스위칭 TFT의 온 커런트(on-current)는 높이고, 구동 TFT의 온 커런트는 낮추는 방향으로 해야 한다. 본 발명에서는 이러한 TFT의 온 커

런트 조절을 각 TFT의 활성층의 결정립의 형상을 서로 다르게 함으로써 실현되도록 하였다. 즉, 스위칭 TFT의 활성층의 결정립의 형상과 구동 TFT의 활성층의 결정립의 형상을 조절함으로써 스위칭 TFT의 온 커런트는 높이고, 구동 TFT의 온 커런트는 낮추는 것이다

<57> 따라서, 상기와 같은 스위칭 TFT의 활성층의 결정립의 형상과 구동 TFT의 활성층의 결정립의 형상은 각 활성층의 채널 영역의 전류 이동도에 따라 결정될 수 있다. 이는 활성층의 채널 영역에서의 전류 이동도가 크면 온 커런트 크게 되고, 채널 영역에서의 전류 이동도가 작으면 온 커런트가 작게 되기 때문이다. 결국, 전술한 바와 같이, 구동 TFT의 온 커런트를 낮춰 고해상도를 실현하도록 하기 위해서는 구동 TFT의 활성층의 채널 영역에서의 전류 이동도가 스위칭 TFT의 활성층의 채널 영역에서의 전류 이동도에 비해 낮게 되도록 구동 TFT의 활성층의 방향과 스위칭 TFT의 활성층의 방향을 조정해야 하는 것이다.

<58> 이러한 전류 이동도의 차이는 활성층을 형성하는 다결정질 실리콘 박막의 결정립 모양에 따라서 변화될 수 있는 데, 즉, 다결정질 실리콘 박막의 결정립 모양에 따라 전술한 바와 같은 이동도 차이의 효과를 얻을 수 있는 것이다.

<59> 이는 다시 말해, 스위칭 TFT(10)와 구동 TFT(20)의 제 1 및 제 2 활성층(11)(21)의 결정립의 모양이 각 활성층의 채널 영역의 전류 이동도에 따라서도 결정되도록 하는 것이다. 이는 활성층의 채널 영역에서의 전류 이동도가 크면 TFT의 온 커런트를 높일 수 있고, 채널 영역에서의 전류 이동도가 작으면 TFT의 온 커런트를 낮출 수 있기 때문이다

<60> 따라서, 구동 TFT의 온 커런트를 낮추기 위해 구동 TFT의 제 2 활성층(21)의 채널 영역의 전류 이동도가 스위칭 TFT의 제 1 활성층(11)의 전류 이동도보다 낮게 되도록 각 활성층의 모양을 조절해야 하는 것이다. 이러한 전류 이동도의 차이는 활성층을 형성하는 다결정질 실리콘 박막의 결정 구조에 따라서 변화될 수 있는 데, 즉, 각 활성층이 서로 다른 결정 구조의 다결정질 실리콘 박막에 형성되도록 함으로써 전술한 바와 같은 전류 이동도의 차이의 효과를 얻을 수 있는 것이다.

<61> 도 2는 박막 트랜지스터의 활성층을 이루는 다결정질 실리콘 박막의 다양한 결정 구조를 나타낸 것으로, 이러한 다결정질 실리콘 박막은 비정질 실리콘 박막을 공지의 순차 측면 고상화법(SLS: Sequential Lateral Solidification, 이하, "SLS법"이라 함)에 의해 결정화할 수 있다. 상기 SLS법은 실리콘의 결정립(Grain)이 액상과 고상의 경계면에서 그 경계면에 대하여 수직한 방향으로 성장한다는 사실을 이용한 것으로, 마스크를 이용하여 레이저 빔을 투과시켜 비정질 실리콘의 일부를 용융시키고, 이 용융된 실리콘의 부분과 용융되지 않은 실리콘의 부분의 경계로부터 용융된 실리콘의 부분으로 결정성장이 이루어지도록 함으로써 결정화를 이루는 것이다.

<62> 도 2에서 볼 수 있는 바와 같은 결정구조는 상기 SLS법을 적용함에 있어서, 각 영역별로 서로 다른 마스크를 사용함으로써 얻을 수 있다.

<63> 먼저, 스트라이프상의 제 1 결정구조(61)는 서로 평행한 직선상의 제 1 결정입계(primary grain boundary: 61a)가 복수개 형성되어 있고, 이에 대략 수직한 방향으로 제 2 결정입계(secondary grain boundary: 61b)가 형성되어 있다. 이러한 제 1 결정구조(61)는 스트라이프 형태의 레이저 빔 투과 영역을 갖는 마스크를 이용하여 스트라이프 형태로 용융시켜 결정화한 것으로, 이 제 1 결정구조(61)에 박막 트랜지스터의 활성층을 형

성하면 활성층의 채널영역의 길이방향에 대해 제 1 결정입계(61a)가 이루는 각도에 따라 도 3과 같은 전류 이동도의 차이를 얻을 수 있다. 즉, 활성층의 채널영역의 길이방향에 대해 제 1 결정입계가 수직할 때에 그 전류 이동도가 가장 크게 되고, 서로 평행을 이룰 때에 그 전류 이동도가 가장 작게 된다. 따라서 이러한 제 1 결정구조(61)에 스위칭 TFT의 활성층의 채널 영역을 상기 제 1 결정입계(61a)에 수직하도록 형성하면 높은 전류 이동도를 얻을 수 있게 된다.

<64> 이러한 현상은 캐리어의 이동에 대한 저항 성분이 얼마나 많은가로 설명될 수 있다. 활성층의 채널 영역이 제 1 결정입계(61a)와 0° 를 이루는 경우에는 활성층의 채널 영역의 길이방향이 제 1 결정입계(61a)에 평행한 관계를 가지지만, 많은 수의 제 2 결정입계(61b)와 대략 수직하게 배치되어 캐리어(carrier)의 이동 시 제 2 결정입계(61b)와 캐리어의 이동 방향이 수직하므로 캐리어의 이동에 대한 저항 성분이 크게 되고, 이에 따라 전류 이동도가 떨어지게 된다.

<65> 반대로, 활성층의 채널 영역이 제 1 결정입계(61a)와 90° 를 이루는 경우에는 활성층의 채널 영역의 길이방향이 제 1 결정입계(61a)에 수직한 관계를 가지지만, 많은 수의 제 2 결정입계(61b)와 대략 평행하게 배치되어 캐리어(carrier)의 이동 시 제 2 결정입계(61b)와 캐리어의 이동 방향이 평행하므로 캐리어의 이동에 대한 저항 성분이 적어 이동도가 큰 값을 나타낸다.

<66> 이러한 이동도의 차이는 온 커런트의 차이로서 나타난다. 즉, 활성층의 채널 영역의 길이방향에 대해 제 1 결정입계가 이루는 각도가 증대됨에 따라 이동도가 커지고, 이에 따라 온 커런트는 증대되는 것이다. 따라서, 상술한 바와 같이, 높은 온 커런트 값을 필요로 하는 스위칭 TFT의 채널 영역을 그 채널 영역의 길이방향에 대해 제 1 결정입계

가 이루는 각도가 0° 가 되지 않도록, 바람직하게는 90° 가 되도록 설계할 수 있는 것이다.

<67> 다음으로, 제 2 결정구조(62)는 제 1 결정입계(primary grain boundary:61a)가 대략 사각형상을 띠게 되는 데, 이는 SLS법에서, 스트라이프 형태의 레이저 빔 투과 영역과 도트(dot)형태의 레이저 빔 차폐 영역이 혼합된 마스크를 이용하여 제조할 수 있는데, 이러한 사각형 결정 구조에 박막 트랜지스터의 활성층을 형성하면, 상기 제 1 결정구조(61)의 것보다 작은 전류 이동도 값을 얻을 수 있다.

<68> 제 3 결정구조(63)는 결정립의 크기가 매우 작게 형성된 무정형 결정 모양을 이루도록 한 것으로, 이는 SLS법에서 플러드 래디에이션(flood radiation)방법에 의한 것이다. 이는 마스크없이 레이저 조사에 의해 복수개의 결정핵을 형성한 후 결정성장을 이뤄 미세하고 치밀한 분포의 결정립을 얻는다. 이러한 무정형의 제 3 결정구조(63)에 박막 트랜지스터의 활성층을 형성하면 상술한 결정구조의 경우보다 더욱 작은 전류 이동도 값을 얻을 수 있다.

<69> 도 4에는 이러한 제 1 내지 제 3 결정구조에 박막 트랜지스터의 활성층을 형성하였을 경우에 전류 이동도의 비를 나타낸 것이다. 이처럼, 어떠한 결정구조에 박막 트랜지스터의 활성층을 형성하느냐에 따라 전류 이동도가 차이가 나므로, 스위칭 TFT와 구동 TFT를 도 5 내지 도 7과 같이 다양하게 형성할 수 있다.

<70> 먼저, 도 5 및 도 6에서 볼 수 있는 바와 같이, 스위칭 TFT의 제 1 활성층(11)을 제 1 결정구조(61)에 형성할 경우에, 구동 TFT의 제 2 활성층(21)을 제 2 결정구조(62) 또는 제 3 결정구조(63)에 형성한다. 이 때, 제 1 결정구조(61)에 형성한 제 1 활성층(11)의 경우, 그 채널 영역(C1)의 길이방향에 대해 제 1 결정구조(61)의 제 1 결정입계

(61a)가 수직하게 배치되도록 하여 전류 이동도가 높게 되도록 함이 바람직하다. 이러한 구조에 따르면, 제 1 활성층(11)에 비해 제 2 활성층(21)의 채널 영역(C2)의 전류 이동도가 더 작게 되므로, 구동 TFT의 온 커런트 값을 낮출 수 있다.

<71> 또한, 도 7에서 볼 수 있듯이, 스위칭 TFT의 제 1 활성층(11)을 제 2 결정구조(62)에 형성한 경우에는 구동 TFT의 제 2 활성층(21)을 제 3 결정구조(63)에 형성한다. 이 때에도 마찬가지로, 결정구조의 차이에 의한 전류 이동도의 차이가 나게 되고, 제 1 활성층(11)에 비해 제 2 활성층(21)의 채널 영역(C2)의 전류 이동도가 더 작게 되므로, 구동 TFT의 온 커런트 값을 낮출 수 있다.

<72> 이러한 TFT 활성층의 결정구조를 달리하는 것은 반드시 상기 사항에 한정된 것은 아니며, 스위칭 TFT와 구동 TFT 중 보다 작은 전류 이동도값을 필요로 하는 TFT의 활성층에 위의 제 3 결정구조를 채용하면, 이보다 큰 전류 이동도값을 필요로 하는 TFT의 활성층에 제 1 결정구조 또는 제 2 결정구조를 채용하고, 스위칭 TFT와 구동 TFT 중 보다 큰 전류 이동도값을 필요로 하는 TFT의 활성층에 위의 제 1 결정구조를 채용하면, 이보다 큰 전류 이동도값을 필요로 하는 TFT의 활성층에 제 2 결정구조 또는 제 3 결정구조를 채용하도록 할 수도 있다.

<73> 한편, 상술한 바와 같은 효과는 도 8에서 볼 수 있는 바와 같이, 각 TFT의 활성층의 적어도 채널영역을 형성하는 결정립의 크기가 서로 다르게 함으로써 얻어질 수 있다. 도 5에 따른 본 발명의 바람직한 다른 일 실시예는 엑시머 레이저 어닐링(Excimer Laser Annealing: ELA, 이하, "ELA"라 함)법에 따라 결정화한 것으로, 스위칭 TFT와 구동 TFT 별로 서로 다른 에너지를 조사함으로써 그 결정 크기를 다르게 할 수 있다.

- <74> 먼저, ELA법에 있어, 조사되는 레이저의 에너지 밀도에 따라 도 9에서 볼 수 있는 바와 같이, 그 결정립의 크기가 서로 다르게 형성된다. 도 9에서는 500Å의 비정질 실리콘 박막을 ELA법에 의해 결정화함에 있어서, 조사되는 레이저의 에너지 밀도에 따른 결정립 크기의 차이를 나타낸 것이다.
- <75> 도 9에서 볼 때, 영역 I은 비교적 낮은 에너지 밀도로 조사해 비정질 실리콘에 부분 용융(Partial melting)이 일어나도록 하는 경우로, 비정질 실리콘의 부분적인 용융으로 그 결정립은 수직방향으로 성장해 작은 크기의 결정립을 형성한다.
- <76> 영역 II는 이보다 높은 에너지 밀도로 조사해 비정질 실리콘에 근사 완전 용융(Near complete melting)이 일어나도록 하는 경우로, 결정성장은 용융되지 않은 소수의 고상 결정핵으로부터 측방으로 성장해 크기가 큰 결정립을 형성한다.
- <77> 영역 III은 가장 높은 에너지 밀도로 조사해 비정질 실리콘에 완전 용융(Complete melting)이 일어나도록 하는 경우로, 과냉(supercooling)에 의해 다수의 결정핵이 발생하도록 하여 이로부터 미세한 결정립의 성장이 이루어지도록 하는 것이다.
- <78> 따라서, 결정립의 크기는 영역 II에 의해 형성한 것이 가장 크고, 다음으로, 영역 I 및 영역 III의 순으로 작아진다.
- <79> 이렇게 결정립의 크기가 서로 다르게 형성될 경우, 이에 따른 전류 이동도도 다르게 나타나는 데, 즉, 도 10에서 볼 수 있듯이, 결정립의 크기가 커질수록 전류 이동도가 커져 거의 직선식에 가까운 관계가 됨을 알 수 있다.

- <80> 이러한 도 9 및 도 10에 의해, 가장 큰 결정립을 형성할 수 있는 영역 II에 따라 결정화할 경우 가장 큰 전류 이동도를 얻을 수 있고, 가장 작은 결정립을 형성할 수 있는 영역 III에 따라 결정화할 경우 가장 작은 전류 이동도를 얻을 수 있음을 알 수 있다.
- <81> 이를 도 8에서 볼 수 있는 바와 같은 본 발명의 바람직한 다른 일 실시예에 적용하면, 스위칭 TFT의 제 1 활성층(11)을 보다 큰 결정립을 갖는 제 4 결정구조(64)에 형성하고, 구동 TFT의 제 2 활성층(21)을 보다 작은 결정립을 갖는 제 5 결정구조(65)에 형성하면, 구동 TFT의 제 2 활성층(21)의 채널영역에 작은 전류 이동도값을 얻을 수 있게 되고, 이에 따라 구동 TFT의 온 커런트값을 낮출 수 있게 된다.
- <82> 따라서, 만일, 스위칭 TFT의 제 1 활성층(11)이 형성된 제 4 결정구조(64)를 도 10의 영역 II에서 결정화한 것이라면, 구동 TFT의 제 2 활성층(21)이 형성된 제 5 결정구조(65)는 도 10의 영역 I 또는 영역 III에서 결정화하고, 만일, 스위칭 TFT의 제 1 활성층(11)이 형성된 제 4 결정구조(64)를 도 10의 영역 I에서 결정화한 것이라면, 구동 TFT의 제 2 활성층(21)이 형성된 제 5 결정구조(65)는 도 10의 영역 III에서 결정화하는 것이 바람직하다.
- <83> 이러한 TFT 활성층의 결정구조를 달리하는 것은 전술한 바와 같이, 반드시 상기 사항에 한정된 것은 아니며, 스위칭 TFT와 구동 TFT 중 보다 작은 전류 이동도값을 필요로 하는 TFT의 활성층을 도 10의 영역 III에서 결정화하였다면, 이보다 큰 전류 이동도값을 필요로 하는 TFT의 활성층을 영역 I 또는 영역 II에서 결정화하고, 스위칭 TFT와 구동 TFT 중 보다 큰 전류 이동도값을 필요로 하는 TFT의 활성층을 도 10의 영역 II에서 결정화하였다면, 이보다 작은 전류 이동도값을 필요로 하는 TFT의 활성층을 영역 I 또는 영역 III에서 결정화한다.

- <84> 상기와 같이 스위칭 TFT(10)와 구동 TFT(20)별로 결정크기를 달리 형성하고, 이에 각각 제 1 및 제 2 활성층들(11)(21)을 형성하면, 그 전류 이동도가 서로 차이가 나게 되어 구동 TFT(20)의 온 커런트 값을 떨어뜨려 고해상도를 달성할 수 있다.
- <85> 한편, 상기한 바와 같은 스위칭 TFT 및 구동 TFT를 갖는 유기 전계 발광 표시장치의 각 부화소(sub-pixel)는 도 11 내지 도 14에서 볼 수 있는 바와 같은 구조를 갖는다.
- <86> 먼저, 도 11은 도 1의 부화소들 중 어느 한 화소의 부화소에 대한 부분확대 평면도이고, 도 12는 도 11에서 볼 수 있는 부화소에 대한 등가회로도를 도시한 것이다.
- <87> 도 12를 참조하면, 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스 유기전계 발광표시장치의 각 부화소는 스위칭용인 스위칭 TFT(10)와, 구동용인 구동 TFT(20)의 2개의 박막 트랜지스터와, 캐패시터(30) 및 하나의 유기 전계 발광 소자(이하, "EL소자"라 함, 40)로 이루어진다. 상기와 같은 박막 트랜지스터 및 캐패시터의 개수는 반드시 이에 한정되는 것은 아니며, 원하는 소자의 설계에 따라 이보다 더 많은 수의 박막 트랜지스터 및 캐패시터를 구비할 수 있음은 물론이다.
- <88> 상기 스위칭 TFT(10)는 게이트 라인(51)에 인가되는 스캔(Scan) 신호에 구동되어 데이터 라인(52)에 인가되는 데이터(data) 신호를 전달하는 역할을 한다. 상기 구동 TFT(20)는 상기 스위칭 TFT(10)를 통해 전달되는 데이터 신호에 따라서, 즉, 게이트와 소오스 간의 전압차(V_{gs})에 의해서 EL소자(40)로 유입되는 전류량을 결정한다. 상기 캐패시터(30)는 상기 스위칭 TFT(10)를 통해 전달되는 데이터 신호를 한 프레임동안 저장하는 역할을 한다.

- <89> 이러한 회로를 구현하기 위하여, 도 11, 도 13 및 도 14와 같은 구조를 갖는 유기 전계 발광 표시장치를 형성하는 데, 이를 보다 상세히 설명하면 다음과 같다.
- <90> 도 11, 도 13 및 도 14에서 볼 수 있듯이, 글래스(glass)재의 절연기판(1)에 버퍼층(2)이 형성되어 있고, 이 버퍼층(2) 상부로 스위칭 TFT(10), 구동 TFT(20), 캐패시터(30) 및 EL 소자(40)가 구비된다.
- <91> 도 11 및 도 13에서 볼 수 있는 바와 같이 상기 스위칭 TFT(10)는 게이트 라인(51)에 접속되어 TFT 온/오프 신호를 인가하는 게이트 전극(13)과, 게이트 전극(13)의 상부에 형성되고 데이터 라인(52)과 접속되어 제 1 활성층(11)에 데이터 신호를 공급하는 소스 전극(14)과, 스위칭 TFT(10)와 캐패시터(30)를 연결시켜 캐패시터(30)에 전원을 공급하는 드레인 전극(15)으로 구성된다. 제 1 활성층(11)과 게이트 전극(13)의 사이에는 게이트 절연막(3)이 구비되어 있다.
- <92> 충전용 캐패시터(30)는 스위칭 TFT(10)와 구동 TFT(20) 사이에 위치되어 한 프레임 동안 구동 TFT(20)를 구동시키는 데 필요한 구동전압을 저장하는 것으로, 도 11 및 도 13에서 볼 수 있듯이, 스위칭 TFT(10)의 드레인 전극(15)과 접속되는 제 1 전극(31), 제 1 전극(31)의 상부에 제 1 전극(31)과 오버랩되도록 형성되고, 전원 인가선인 구동라인(53)과 전기적으로 연결되는 제 2 전극(32) 및 제 1 전극(31)과 제 2 전극(32)의 사이에 형성되어 유전체로서 사용되는 층간 절연막(4)으로 구비될 수 있다. 물론 이러한 충전용 캐패시터(30)의 구조는 반드시 이에 한정되는 것은 아니며, TFT의 실리콘 박막과 게이트 전극의 도전층이 제 1 및 제 2 전극으로 사용되고, 게이트 절연층이 유전층으로 사용될 수도 있으며, 이 외에도 다양한 방법에 의해 형성 가능하다.

<93> 구동 TFT(20)는 도 11 및 도 14에서 볼 수 있듯이, 캐패시터(30)의 제 1 전극(31)과 연결되어 TFT 온/오프 신호를 공급하는 게이트 전극(23)과, 게이트 전극(23)의 상부에 형성되고 구동 라인(53)과 접속되어 제 2 활성층(21)에 구동을 위한 레퍼런스 공통전압을 공급하는 소스 전극(24)과, 구동 TFT(20)와 EL 소자(40)를 연결시켜 EL 소자(40)에 구동 전원을 인가하는 드레인 전극(25)으로 구성된다. 제 2 활성층(21)과 게이트 전극(23)의 사이에는 게이트 절연막(3)이 구비되어 있다. 여기서, 이 구동 TFT(20)의 제 2 활성층(21)의 채널 영역은 상기 스위칭 TFT(10)의 제 1 활성층(11)의 채널 영역의 결정 구조와 다른 형상, 즉, 서로 다른 결정 모양 또는 결정 크기를 갖게 된다.

<94> 한편, EL 소자(40)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, 도 11 및 도 14에서 볼 수 있듯이, 구동 TFT(20)의 드레인 전극(25)에 연결되어 이로부터 플러스 전원을 공급받는 애노우드 전극(41)과, 전체 화소를 덮도록 구비되어 마이너스 전원을 공급하는 캐소드 전극(43)과, 이들 애노우드 전극(41) 및 캐소드 전극(43)의 사이에 배치되어 발광하는 유기 발광막(42)으로 구성된다. 도면에서 미설명부호 5는 SiO_2 등으로 이루어진 절연성 패시베이션막이고, 6은 아크릴 등으로 이루어진 절연성 평탄화막이다.

<95> 이상 설명한 바와 같은 본 발명의 바람직한 실시예에 따른 유기 전계 발광 표시장치의 층상 구조는 반드시 상술한 바에 한정되는 것은 아니고, 이와 다른 어떠한 구조도 본 발명이 적용될 수 있음은 물론이다.

<96> 상술한 바와 같은 구조를 가진 본 발명의 바람직한 일 실시예에 따른 유기 전계 발광 표시장치는 다음과 같이 제조될 수 있다.

- <97> 먼저, 도 13 및 도 14에서 볼 수 있듯이, 글라스(Glass)재의 절연 기판(1) 상에 버퍼층(2)을 형성한다. 상기 버퍼층(2)은 SiO_2 로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착될 수 있다. 그리고, 이 버퍼층(2)은 대략 3000Å 정도로 증착 가능하다.
- <98> 상기 버퍼층(2)의 상부에는 비정질 실리콘 박막이 증착되는 데, 대략 500Å 정도로 증착시킬 수 있다. 상기와 같은 비정질 실리콘 박막은 다양한 방법에 의해 다결정질 실리콘 박막으로 결정화시킬 수 있다. 이 때, 다결정질 실리콘 박막으로의 결정화는 스위칭 TFT의 형성 위치와 구동 TFT의 형성 위치를 구분하여, 스위칭 TFT가 형성될 영역은 전류 이동도가 크게 되는 결정구조로 결정화하고, 구동 TFT가 형성될 영역은 전류 이동도가 작게 되는 결정구조로 결정화한다. 따라서, 전술한 바와 같이, SLS 결정화법을 사용할 경우에는 도 5 내지 도 7에서 볼 수 있는 바와 같은 결정구조를 갖도록 스위칭 TFT가 형성될 영역과 구동 TFT가 형성될 영역에 결정화하고, ELA 결정화법을 사용할 경우에는 도 8 및 도 9에서 볼 수 있는 바와 같은 결정구조를 갖도록 스위칭 TFT가 형성될 영역과 구동 TFT가 형성될 영역에 결정화한다. 물론, 상기와 같은 결정구조는 이 밖에 다른 방법에 의해서도 가능함은 물론이다.
- <99> 이렇게 서로 다른 결정구조를 갖도록 한 후에는 그 위로 도 1에서 볼 수 있듯이, 스위칭 TFT(10)의 제 1 활성층(11)과 구동 TFT(20)의 제 2 활성층(21)을 패터닝하여, 제 1 활성층(11)과 제 2 활성층(21)이 서로 다른 형상을 갖도록 한다.
- <100> 이렇게 활성층의 패터닝을 행한 후에는 그 위로 SiO_2 등에 의해 게이트 절연막을 PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착하여 형성하고, MoW, Al/Cu 등으로 도

전막을 성막한 후 패터닝하여 게이트 전극을 형성한다. 상기 활성층, 게이트 절연막, 게이트 전극은 다양한 순서 및 방법에 의해 패터닝이 가능하다.

<101> 활성층, 게이트 절연막, 게이트 전극의 패터닝이 끝난 후에는 그 소스 및 드레인 영역에 N형 또는 P형 불순물을 도핑한다.

<102> 이렇게 도핑 공정이 끝난 후에는 도 13 및 도 14에서 볼 수 있듯이, 층간 절연막(4) 및 패시베이션막(5)을 형성한 후 콘택 홀을 통해 소스 전극(14)(24) 및 드레인 전극(15)(25)을 활성층(11)(21)에 접속하고, 평탄화막(6)을 형성한다. 이러한 막 구조는 소자 설계에 따라 다양한 구조를 채용할 수 있음은 물론이다.

<103> 한편, 구동 TFT(20)에 접속하는 EL 소자(40)는 다양한 방법에 의해 형성될 수 있는데, 먼저, ITO에 의해 구동 TFT(20)의 드레인 전극(25)에 접속하는 애노우드 전극(41)을 형성한 후 패터닝하고, 그 위로 유기막(42)을 형성한다. 이 때, 상기 유기막(42)은 저분자 또는 고분자 유기막이 사용될 수 있는 데, 저분자 유기막을 사용할 경우 홀 주입층, 홀 수송층, 유기 발광층, 전자 수송층, 전자 주입층 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기막은 진공증착의 방법으로 형성된다.

<104> 고분자 유기막의 경우에는 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로

PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법으로 형성한다.

<105> 이렇게 유기막을 형성한 후에는 Al/Ca 등으로 캐소드 전극(43)을 전면 증착하거나, 패터닝하여 형성할 수 있다. 그리고, 캐소드 전극(43)의 상부는 글라스 또는 메탈 캡에 의해 밀봉된다.

<106> 이상 설명한 것은 본 발명을 유기 전계 발광 표시장치에 적용한 경우이나, 본 발명은 이에 한정되는 것이 아니며, 액정 표시장치나, 무기 전계 발광 표시장치 등 TFT를 이용할 수 있는 어떠한 구조에든 적용될 수 있음은 물론이다.

【발명의 효과】

<107> 상기한 바와 같은 본 발명에 따르면, 다음과 같은 효과를 얻을 수 있다.

<108> 첫째, TFT의 활성층의 크기나, 구동전압을 변경하지 않고 동일 크기의 활성층을 갖고도 구동 TFT로부터 발광 소자로 전달되는 전류량을 감소시키고, 이에 따라 고해상도에 적합한 구조를 얻을 수 있다.

<109> 둘째, 다결정질 실리콘의 특성을 활용하여 우수한 스위칭 특성을 갖는 스위칭 TFT를 얻고, 동시에, 고해상도를 실현할 수 있는 구동 TFT를 얻을 수 있다.

<110> 셋째, TFT의 결정구조만으로, 휘도의 균일성을 얻을 수 있고, 수명 열화를 방지할 수 있다.

<111> 넷째, 구동 TFT의 길이(L)를 증대시킬 필요가 없어 개구율 감소 문제가 없다.

<112> 다섯째, 구동 TFT의 폭(W)을 감소시킬 필요가 없어 신뢰성을 향상시킬 수가 있다.

<113> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

발광 소자;

적어도 채널 영역을 갖는 반도체 활성층을 구비하고, 상기 발광 소자에 데이터 신호를 전달하기 위한 스위칭 박막 트랜지스터; 및

적어도 채널 영역을 갖는 반도체 활성층을 구비하고, 상기 데이터신호에 따라서 상기 발광 소자에 소정의 전류가 흐르도록 상기 발광 소자를 구동하는 구동 박막 트랜지스터;를 포함하며,

적어도 상기 스위칭 박막 트랜지스터의 채널 영역과 구동 박막 트랜지스터의 채널 영역은 그 결정립의 형상이 서로 다르게 구비된 것을 특징으로 하는 평판표시장치.

【청구항 2】

제1항에 있어서,

상기 각 채널 영역의 결정립의 형상에 의해 상기 스위칭 박막 트랜지스터와 구동 박막 트랜지스터의 각 채널 영역의 전류 이동도가 서로 다르게 되는 것을 특징으로 하는 평판표시장치.

【청구항 3】

제2항에 있어서,

상기 각 채널 영역의 결정립의 형상에 의해 상기 스위칭 박막 트랜지스터의 채널 영역의 전류 이동도가 상기 구동 박막 트랜지스터의 채널 영역의 전류 이동도보다 크게 되는 것을 특징으로 하는 평판표시장치.

【청구항 4】

제1항에 있어서,

상기 스위칭 박막 트랜지스터의 적어도 채널 영역과 상기 구동 박막 트랜지스터의 적어도 채널 영역은 그 결정립의 크기가 서로 다른 것을 특징으로 하는 평판 표시장치.

【청구항 5】

제4항에 있어서,

상기 각 채널 영역의 결정립의 크기에 의해 상기 스위칭 박막 트랜지스터의 채널 영역의 전류 이동도가 상기 구동 박막 트랜지스터의 채널 영역의 전류 이동도보다 크게 되는 것을 특징으로 하는 평판 표시장치.

【청구항 6】

제4항에 있어서,

상기 각 채널 영역의 결정립의 크기는 상기 스위칭 박막 트랜지스터와 구동 박막 트랜지스터 중 보다 큰 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 결정립의 크기가 더 크게 되도록 구비된 것을 특징으로 하는 평판 표시장치.

【청구항 7】

제4항에 있어서,

상기 스위칭 박막 트랜지스터의 채널 영역의 결정립의 크기가 상기 구동 박막 트랜지스터의 채널 영역의 결정립의 크기보다 큰 것을 특징으로 하는 평판 표시장치.

【청구항 8】

제1항에 있어서,

상기 스위칭 박막 트랜지스터의 적어도 채널 영역과 구동 박막 트랜지스터의 적어도 채널 영역은 그 결정립의 모양이 서로 다른 것을 특징으로 하는 평판 표시장치.

【청구항 9】

제8항에 있어서,

상기 각 채널 영역의 결정립의 모양은 상기 스위칭 박막 트랜지스터와 구동 박막 트랜지스터 중 보다 낮은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역이 무정형의 결정입계를 갖도록 구비되는 것을 특징으로 하는 평판 표시장치.

【청구항 10】

제9항에 있어서,

상기 각 채널 영역의 결정립의 모양은 상기 무정형의 결정입계를 갖는 박막 트랜지스터보다 높은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 결정립이, 서로 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이거나, 사각형상이 되도록 구비되는 것을 특징으로 하는 평판 표시장치.

【청구항 11】

제8항에 있어서,

상기 각 채널 영역의 결정립의 모양은 상기 스위칭 박막 트랜지스터와 구동 박막 트랜지스터 중 보다 높은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 결정립이, 서로 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기

제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이 되도록 구비되는 것을 특징으로 하는 평판 표시장치.

【청구항 12】

제11항에 있어서,

상기 각 채널 영역의 결정립의 모양은 상기 스트라이프형의 제1결정입계를 갖는 박막 트랜지스터보다 낮은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역이, 무정형 또는 그 제1결정입계가 사각형상인 결정입계를 갖도록 구비되는 것을 특징으로 하는 평판 표시장치.

【청구항 13】

제8항에 있어서,

상기 각 채널 영역의 결정립의 모양은 상기 스위칭 박막 트랜지스터와 구동 박막 트랜지스터 중 보다 높은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 결정립이, 서로 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 사각형상이 되도록 구비된 것을 특징으로 하는 평판 표시장치.

【청구항 14】

제8항에 있어서,

상기 구동 박막 트랜지스터의 적어도 채널 영역의 결정립은 무정형의 결정입계를 갖는 것을 특징으로 하는 평판 표시장치.

【청구항 15】

제14항에 있어서,

상기 스위칭 박막 트랜지스터의 적어도 채널 영역의 결정립은, 서로 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이거나, 사각형상인 결정입계를 갖는 것을 특징으로 하는 평판 표시장치.

【청구항 16】

제8항에 있어서,

상기 스위칭 박막 트랜지스터의 적어도 채널 영역의 결정립은, 서로 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상인 결정입계를 갖는 것을 특징으로 하는 평판 표시장치.

【청구항 17】

제16항에 있어서,

상기 구동 박막 트랜지스터의 적어도 채널 영역의 결정립은, 무정형 또는 그 제1결정입계가 사각형상인 결정입계를 갖는 것을 특징으로 하는 평판 표시장치.

【청구항 18】

제8항에 있어서,

상기 스위칭 박막 트랜지스터의 적어도 채널 영역의 결정립은, 서로 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연

장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 사각형상인 결정입계를 갖는 것을 특징으로 하는 평판 표시장치.

【청구항 19】

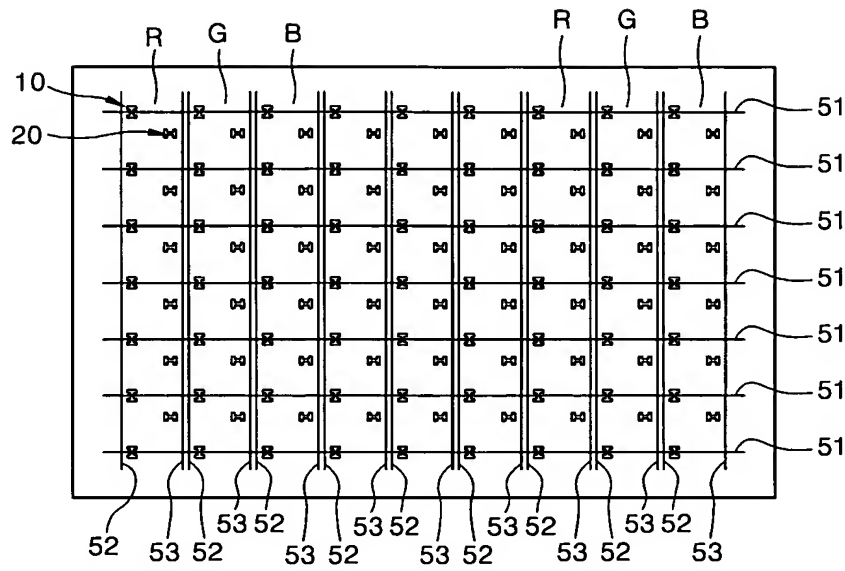
제1항 내지 제18항 중 어느 한 항에 있어서,
상기 활성층의 적어도 채널영역은 다결정질 실리콘으로 구비된 것을 특징으로 하는 평판 표시장치.

【청구항 20】

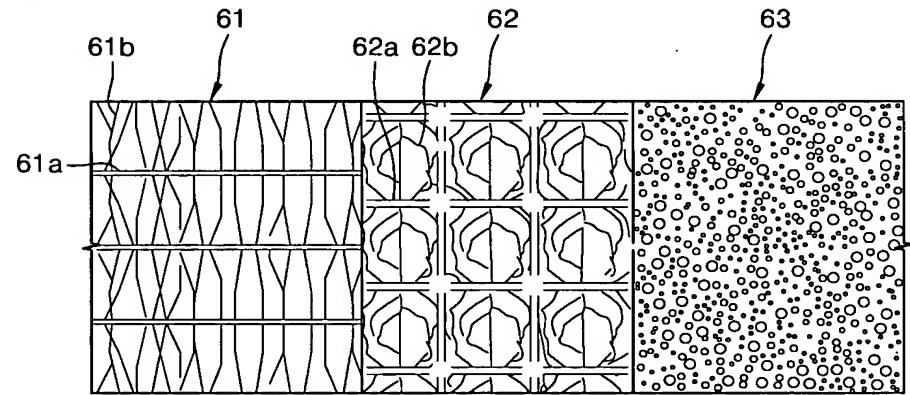
제19항에 있어서,
상기 다결정질 실리콘은 레이저에 의한 결정화방법에 의해 형성된 것을 특징으로 하는 평판 표시장치.

【도면】

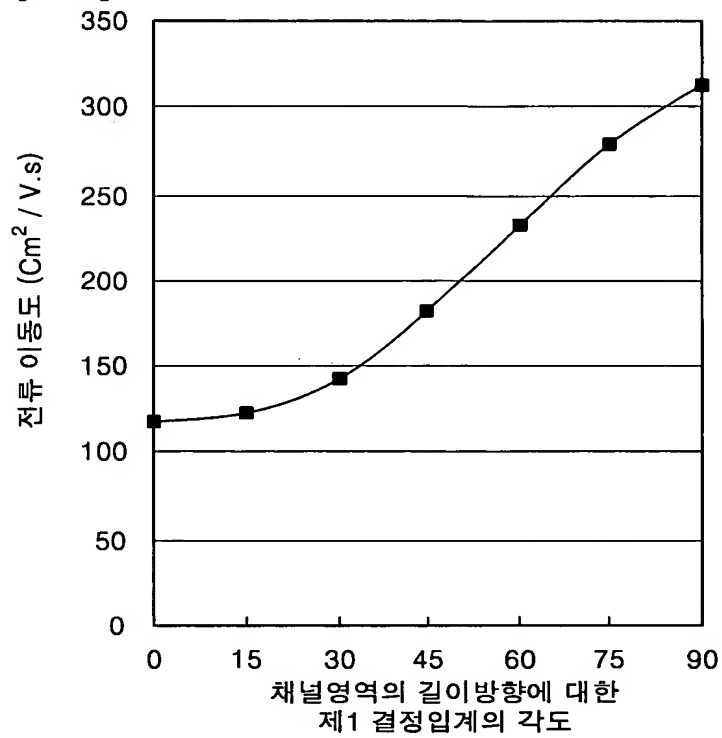
【도 1】



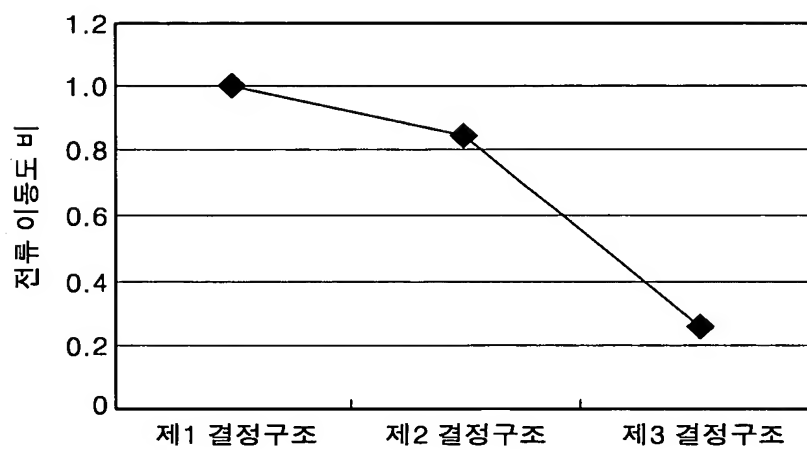
【도 2】



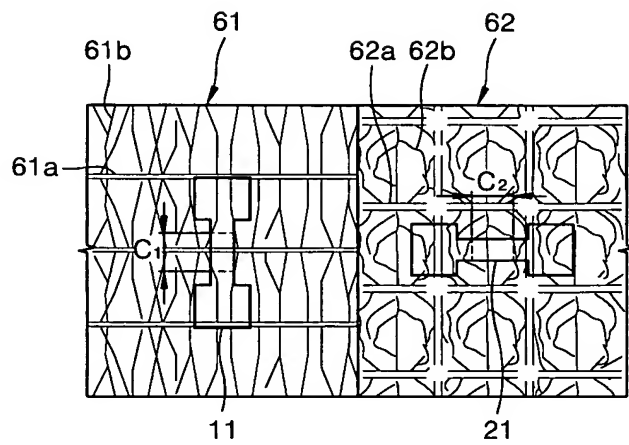
【도 3】



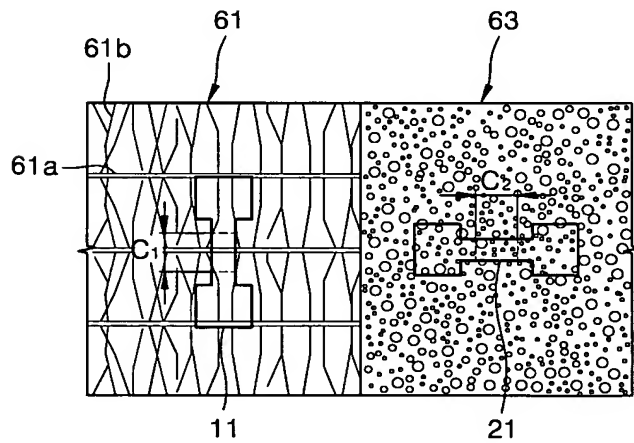
【도 4】



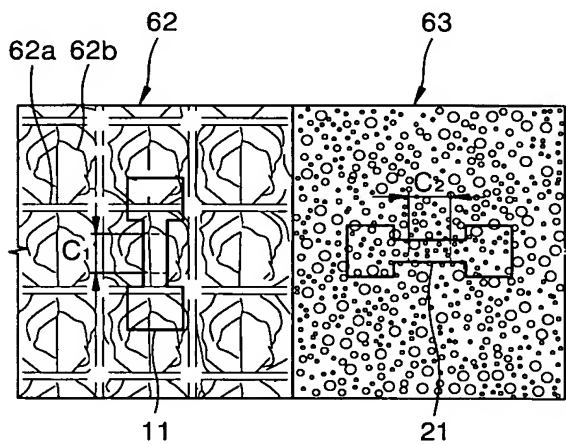
【도 5】



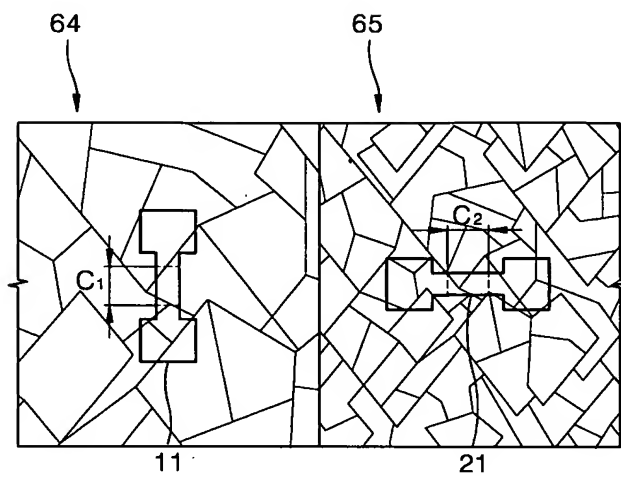
【도 6】



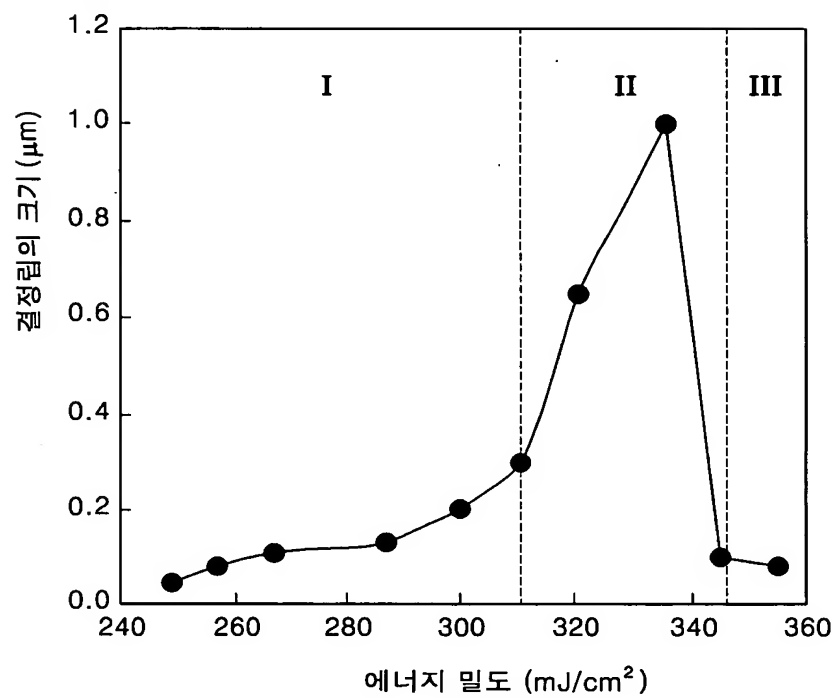
【도 7】



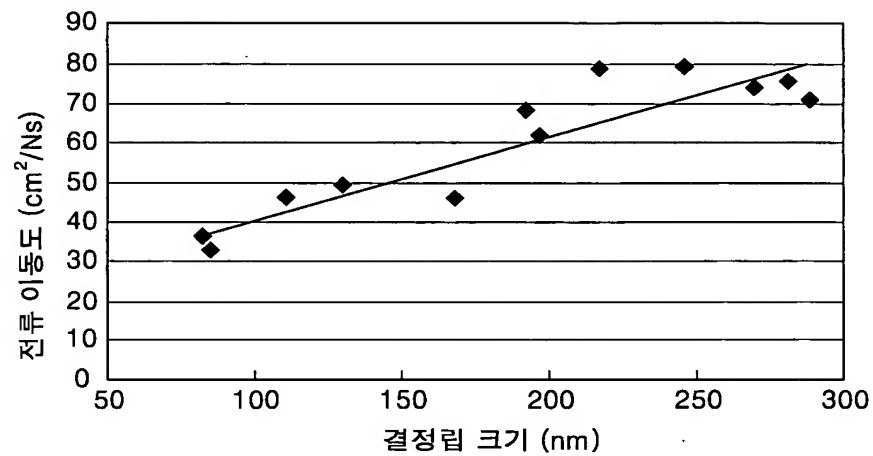
【도 8】



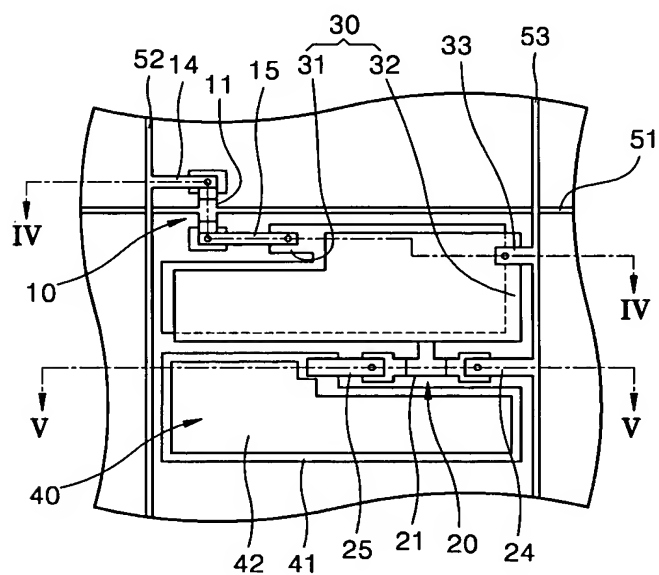
【도 9】



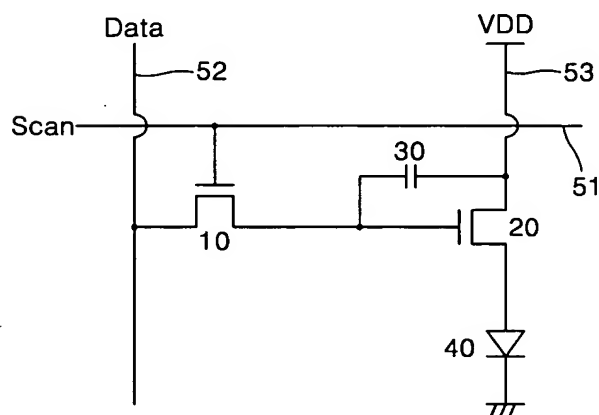
【도 10】



【도 11】



【도 12】



[illegible][illegible]